

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **09083203 A**(43) Date of publication of application: **28.03.97**

(51) Int. Cl. **H01P 1/00**
H01P 3/08
H03F 3/195
H03F 3/60

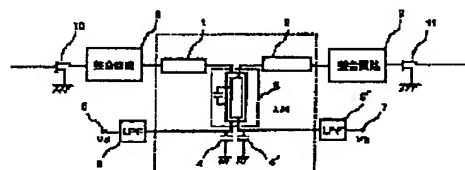
(21) Application number: **07262434**(22) Date of filing: **14.09.95**(71) Applicant: **NEC CORP**(72) Inventor: **MARUHASHI KENICHI**(54) **HIGH FREQUENCY CIRCUIT**

COPYRIGHT: (C)1997,JPO

(57) Abstract

PROBLEM TO BE SOLVED: To obtain a bias circuit in a multi-stage circuit to reduce the chip area and to improve the performance resulting from reducing a loss in the circuit.

SOLUTION: A pre-stage FET 10 (post-stage FET 11) in the multi-stage circuit is coupled with one-terminal of a bias supply line 3 whose electric length is $\lambda/4$ via a matching circuit 8 (9) and a main line 1 (2), the other terminal of the bias supply line 3 is connected to ground via a capacitor 4 in terms of high frequencies, and the bias supply line 3 is structured to be 2-layers as a capacitor structure via a dielectric film. The density of the capacitance in this capacitor structure is increased to make the reactance negligibly small in a line block sufficiently smaller than the electric wavelength λ . In this case, the 2-layered bias supply line 3 has the identical electric characteristic to that of a single-layer bias supply line used for a conventional circuit.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-83203

(43) 公開日 平成9年(1997)3月28日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 P	1/00		H 0 1 P	1/00
	3/08			3/08
H 0 3 F	3/195		H 0 3 F	3/195
	3/60			3/60

審査請求 有 請求項の数 5 F D (全 5 頁)

(21) 出願番号 特願平7-262434

(22) 出願日 平成7年(1995)9月14日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 丸橋 建一

東京都港区芝五丁目7番1号 日本電気株式会社内

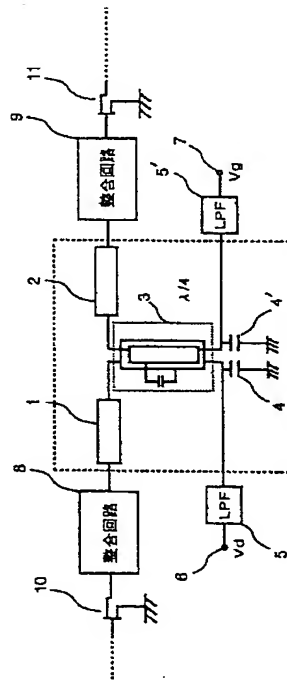
(74) 代理人 弁理士 加藤 朝道

(54) 【発明の名称】 高周波回路

(57) 【要約】

【課題】 多段回路においてチップ面積の低減及び回路内の損失低減による性能向上を達成するバイアス回路の提供。

【解決手段】 多段回路において、前段のFET10及び後段のFET11は、整合回路8、9、主線路1、2を介して電気長 $\lambda/4$ のバイアス供給線路3の一端と結合され、バイアス供給線路3の他端はキャパシタ4を介して高周波短絡され、バイアス線路3は2層構造とされ誘電膜を介したキャパシタ構造を有している。このキャパシタ構造の容量密度を高くし電気波長 λ と比較して十分小さい線路区間におけるリアクタンスを無視できる程小さくする。このとき、2層のバイアス線路3は従来用いられる単層バイアス供給線路と同等の電気特性を有する。



【特許請求の範囲】

【請求項1】 伝送線路を用いて構成されたバイアス供給回路を複数段有する高周波回路において、前記伝送線路を多層化することにより前段及び次段のバイアスを共通化して供給することを特徴とする高周波回路。

【請求項2】 前記伝送線路の一端が高周波短絡されていることを特徴とする請求項1に記載の高周波回路。

【請求項3】 前記伝送線路の電気長が $\lambda/4$ であることを特徴とする請求項2に記載の高周波回路。

【請求項4】 互いに異なる層にそれぞれ配設されてなる第1及び第2のバイアス供給用伝送線路を少なくとも含み、前記第1及び第2のバイアス供給用伝送線路が誘電体を介して少なくとも一部において互いにオーバーラップし、前記第1及び第2のバイアス供給用伝送線路から対応する段の回路にそれぞれ所定のバイアスを供給するように構成されてなるバイアス供給回路を備えたことを特徴とする高周波回路。

【請求項5】 前記第1及び第2のバイアス供給用伝送線路を少なくとも含むバイアス供給回路が使用周波数帯で単層のバイアス供給用伝送線路と同等の電気的特性を有することを特徴とする請求項4記載の高周波回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、高周波で用いられるバイアス供給回路に関する。

【0002】

【従来の技術】 マイクロ波・ミリ波帯等の高周波回路においては、集積化による小型化や低コスト化の試みがなされている。しかしながら、一般に集積回路等で用いるバイアス供給回路（「バイアス回路」ともいう）は比較的大きな面積を占めている。

【0003】 マイクロストリップ線路で構成された従来のバイアス回路の一例を図3に示す。

【0004】 図3を参照して、バイアス回路は、電気長が $\lambda/4$ （ λ は例えば使用周波数帯域の中心周波数波長）のマイクロストリップ線路20と、マイクロストリップ線路20の一端に接続されたキャパシタ4と、ローパスフィルタ5と、からなる。

【0005】 バイアス印加点6には電界効果トランジスタ（以下「FET」という）10のドレインに対して上記バイアス回路を介して供給されるバイアス電圧 V_d が印加され、バイアス印加点7にはFET11のゲートに対して上記バイアス回路を介して供給されるバイアス電圧 V_g が印加される。

【0006】 このバイアス回路において、マイクロストリップ線路20の一端はキャパシタ4により高周波短絡（高周波的に接地に短絡）されているため、主線路1、2側から見たマイクロストリップ線路20側のインピーダンスは無限大となっている。したがってバイアス回路は整合状態に関与しない。

【0007】 また、主線路1と主線路2との間にはDCカットキャパシタ19が挿入され、前段と後段へのDC（直流）バイアスを独立に印加することができる。

【0008】

【発明が解決しようとする課題】 上記した従来のバイアス回路を実際にレイアウト設計をする際には、電磁干渉（クロストーク）の問題を避けるために、マイクロストリップ線路20は整合回路8及び9や、FET10及び11等の素子と十分に離間して配設することが必要とされる。従って、個々のバイアス回路が占有する面積は比較的大きくなる。

【0009】 さらに、上記従来のバイアス回路は、必要とするバイアスの数と同じ数だけ設けられており、総チップ面積に占めるバイアス回路の割合は必然的に大きくならざるを得ないという問題を有する。

【0010】 また、バイアス供給回路の挿入により損失が導入されるため、性能向上の面からみてもバイアス回路数の低減が望まれている。

【0011】 従って、本発明は、上記従来技術の問題点を解消し、多段回路において、チップ面積を削減すると共に回路内の損失低減を抑止して高周波回路の性能向上を達成するバイアス回路を提供することを目的とする。

【0012】

【課題を解決するための手段】 前記目的を達成するため、本発明は、伝送線路を用いて構成されたバイアス供給回路を複数段有する高周波回路において、該伝送線路を多層化することにより前段及び次段のバイアスを共通化して供給することを特徴とする高周波回路を提供する。

【0013】 本発明に係る高周波回路においては、該伝送線路の一端が高周波短絡されていることを特徴とする。

【0014】 また、本発明に係る高周波回路においては、該伝送線路の電気長が $\lambda/4$ であることを特徴とする。

【0015】

【作用】 本発明は、各段の間に設けられたバイアス供給線路を多層にし、前段及び次段へのバイアスを1つの伝送線路を介して供給することを特徴としている。

【0016】 多層化されたバイアス供給回路は、各層の導体層（金属配線）とその間に挿入される誘電膜と共に平板キャパシタを構成する。このキャパシタの容量密度が十分高い（例えば金属配線の線幅の拡大、金属配線間の距離の縮小、あるいは誘電率の大きな誘電膜の使用等）と、電気波長 λ と比較して十分小さな線路区間（バイアス供給線路上の線路区間）でみたキャパシタ構造のリアクタンスは無視できる程に小さくなる。

【0017】 この場合、多層バイアス供給線路の各金属配線層は高周波的に同一電位とされ、多層バイアス供給線路は通常（単層）の伝送線路とみなすことができる。

したがって、高周波設計では、多層バイアス供給線路は、従来通りの伝送線路として取り扱うことができ、かつ、複数のDCバイアスを供給することが可能となる。

【0018】

【発明の実施の形態】以下に本発明の実施の形態を図面を参照にして詳細に説明する。

【0019】図1に、本発明の一実施形態に係るバイアス回路の構成を示す。

【0020】図1を参照して、前段のFET10及び後段のFET11は、整合回路8と主線路1、及び整合回路9と主線路2を介してバイアス供給線路3の一端とそれぞれ接続されている。

【0021】バイアス供給線路3の他端はそれぞれキャパシタ4、4'を介して高周波短絡（高周波的に接地に短絡）されている。

【0022】本発明の一実施形態をさらに詳細に説明するために、バイアス供給線路3の平面構造を図2(a)に示す。

【0023】図2(a)を参照して、主線路1及び主線路2に一端がそれぞれ接続された第1の配線金属12及び第2の配線金属13は多層構造とされる。第2の配線金属13は第1層の第1の配線金属12の上層にてこれにオーバーラップするように形成されている。そして、第1の配線金属12及び第2の配線金属13は、主線路1及び主線路2に接続する側と相対する側においてそれぞれキャパシタ4、4'の一側端子に接続され、キャパシタ4、4'の他側端子は接地に接続されている。

【0024】図2(b)は、図2(a)に平面図を示したバイアス供給線路のA-B線に沿った断面を示す。

【0025】図2(b)を参照して、第1の配線金属12及び第2の配線金属13は、誘電膜18を挟んでなるキャパシタ構造をとっている。

【0026】線路長さ当たりの容量が十分大きい場合、電気波長 λ （ λ は例えば使用周波数帯域の中心周波数の波長）と比較して十分小さな線路区間でみた該キャパシタ構造における高周波のリアクタンスは無視できるほど低くなる。この場合、バイアス供給線路3を構成する多層線路は、高周波的に、単層線路と同等の電気特性を有するものとみなすことができる。

【0027】したがって、バイアス供給線路3の電気長を $\lambda/4$ とすれば、主線路1及び主線路2側からみたバイアス供給線路のインピーダンスは無限度となり、整合インピーダンスに関与しない。

【0028】さらに、多層線路は、DCカットキャパシタも内包しており、このため、前段と後段へのDC（直流）バイアスを独立に印加することができる。すなわち、第1の配線金属12と第2の配線金属13及びその間に介装された誘電膜18（図2(b)参照）とからなるキャパシタ構造が、図3に示したDCカットキャパシタ19として機能し、図1に示すように、本実施形態に

においても、バイアス印加点6からは、前段のFET10のドレインに対し、ローパスフィルタ5、バイアス供給線路3、主線路1、及び整合回路8を介してバイアス電圧Vdが印加され、バイアス印加点7からは、FET11のゲートに対し、ローパスフィルタ5'、バイアス供給線路3、主線路2、及び整合回路9を介してバイアス電圧Vgがバイアス電圧Vdとは独立に印加することができる。

【0029】1段当たり2つのバイアス印加が必要なN段回路（Nは所定の正整数）においては、前記従来例では、2Nの数に等しいバイアス供給線路を設けることが必要とされたが、本実施形態においては、バイアス供給線路の数はN+1とすることができる。

【0030】したがって、本実施形態は、バイアス供給線路が占有する面積の総和を前記従来例よりも格段に削減することができる。このため、本実施形態に係るバイアス回路は、例えばマイクロ波集積回路(MIC)等に好適とされる。

【0031】さらに、本実施形態においては、バイアス供給線路数が少ないため、バイアス供給線路の挿入に伴う損失（信号伝送上の挿入損）が低減され、高周波回路全体の特性を向上することを可能としている。

【0032】なお、本発明の実施の形態として、上記の如く、2層のバイアス供給線路について説明したが、本発明は、上記形態に限定されるものでなく、前段又は後段の回路が並列に分岐され、複数のバイアスを必要とする場合であれば、さらに多層のバイアス供給線路を用いることもできる。

【0033】また、バイアス供給線路の電気長は、上記実施の形態で説明した、長さ $\lambda/4$ のみに限定されるものでなく、さらに、本発明は、伝送線路の種類もマイクロストリップ線路に限定されるものでなく、例えばコプレーナ線路等各種平面型導波路に対して適用可能である。

【0034】そして、本発明の実施形態では、回路中の基本能動素子として電界効果トランジスタ(FET)を用いて説明したが、本発明は特にトランジスタの種類を限定するものではない。さらにトランジスタ以外であっても、バイアスを必要とするものであれば本発明の原理に従う構成のバイアス回路を適用することができる。

【0035】

【発明の効果】以上説明したように、本発明によれば、比較的大きな面積を占有するバイアス供給線路を共通化したことにより、チップ全体の面積を大幅に縮減することを可能とし集積化に好適とされる。また、本発明によれば、バイアス供給線路の数を低減することができるため、線路による損失を低減することが可能となる。

【図面の簡単な説明】

【図1】本発明の一実施形態に係るバイアス回路の構成を説明するための図である。

【図2】本発明の一実施形態に係るバイアス供給線路の構造を説明するための図である。

(a) バイアス供給線路の平面図である。

(b) バイアス供給線路の図2(a)のA-B線の断面図である。

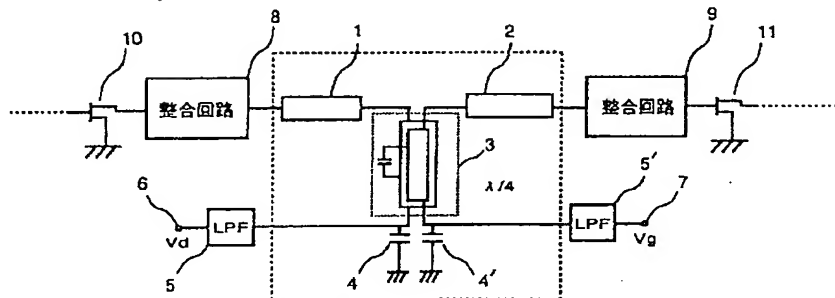
【図3】従来のバイアス回路を説明するための図である。

【符号の説明】

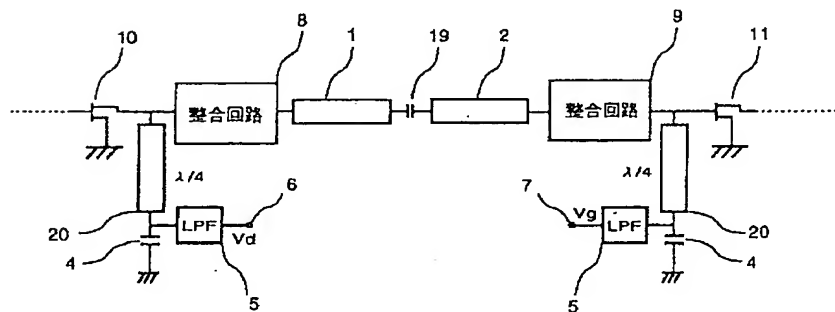
- 1、2 主線路
- 3 多層バイアス供給線路
- 4 キャパシタ
- 5 ローパスフィルタ

- 6、7 バイアス印加点
- 8、9 整合回路
- 10、11 FET
- 12 第1の配線金属
- 13 第2の配線金属
- 14 バイアス供給線路結合点
- 15 高周波短絡点
- 16 バイアホール
- 17 基板
- 18 誘電膜
- 19 DCカットキャパシタ
- 20 バイアス供給線路

【図1】

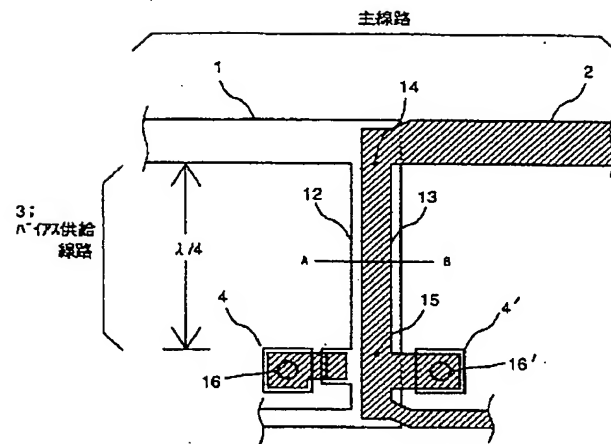


【図3】



【図2】

(a)



(b)

